

Partial English Translation of

LAID OPEN unexamined

JAPANESE PATENT APPLICATION

Publication No. 2-280338

2. Claims

(1) A heterojunction bipolar transistor, characterized in that:

main semiconductor layers of a collector/contact layer made of InGaAs; a collector layer including a semiconductor layer made of InP; a base layer having an InGaAs end portion on at least the collector layer side; an emitter layer; and an emitter/contact layer are sequentially formed on an InP substrate.

(2) The heterojunction bipolar transistor of Claim 1, characterized in that:

the InP layer having a thickness Wc in the collector layer is composed of a layer containing an impurity of a first conductivity type of a concentration N1 and a layer containing an impurity of a second conductivity type of a concentration N2 and the relationship between the concentration N1 and the concentration N2 satisfies

$$\sqrt{\frac{2\epsilon}{q}} \times \sqrt{\frac{N1+N2}{N1 \times N2}} \times \sqrt{Eg} > Wc$$

when ϵ is a dielectric constant of the InP substrate, q is an elementary charge and Eg is an energy bandgap of InGaAs.

(3) The heterojunction bipolar transistor of Claim 1 or 2,

characterized in that;

the base layer is made of InGaAs.

4. The heterojunction bipolar transistor of Claim 1 or 2, characterized in that;

the collector layer is composed of the InGaAs layer and the InP layer which are arranged in this order from the base layer side.

5. The heterojunction bipolar transistor of Claim 1 or 2, characterized in that;

the InP layers in the base layer and the collector layer are connected through a $\text{Ga}_x\text{In}_{1-x}\text{As}_y\text{P}_{1-y}$ composition graded layer in which a composition changes from InGaAs to InP.

From line 12 of the upper left column to line 3 of the upper right column on page 5

Figure 4 shows a structure of the energy band of the main part of a heterojunction bipolar transistor according to another embodiment. In Figure 4, a composition graded collector layer 3g having a thickness of 50 nm and formed of $i\text{-}\text{Ga}_x\text{In}_{1-x}\text{As}_y\text{P}_{1-y}$ ($X; 1 \rightarrow 0, Y; 0 \rightarrow 1$) is provided between the base layer 4 made of p^+ -InGaAs and the collector layer 3i made of the i-InP in Figure 2. Discontinuity of the conductive band, which is generated between the base layer 4 and the collector layer 3i in Figure 2, is resolved. Accordingly, the electrons 13 can reach the collector layer 3i even if the electrons 13 lose much kinetic energy during traveling in the base layer 4.



(19)

(11) Publication number:

02280338 A

Generated Document.

PATENT ABSTRACTS OF JAPAN

(21) Application number: 01100106

(51) Int'l. Cl.: H01L 21/331 H01L 29/205 H01L 29/73

(22) Application date: 21.04.89

(30) Priority:

(43) Date of application publication: 16.11.90

(84) Designated contracting states:

(71) Applicant: NEC CORP

(72) Inventor: TANAKA SHINICHI

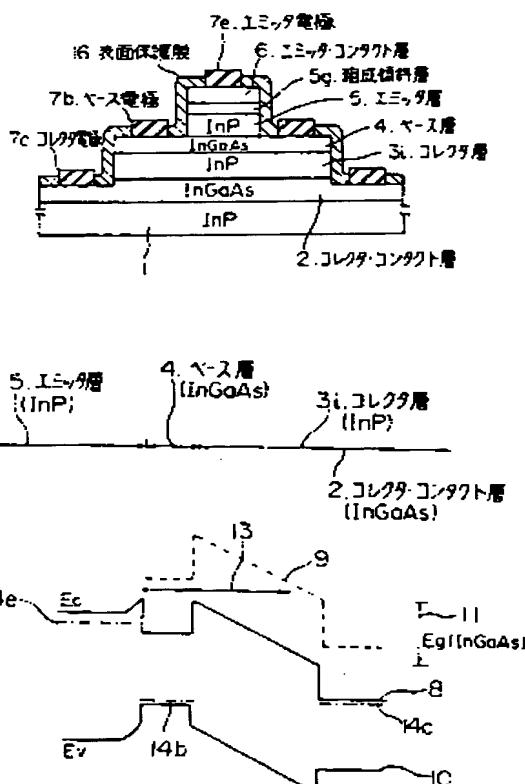
(74) Representative:

(54) HETEROJUNCTION BIPOLAR TRANSISTOR

(57) Abstract:

PURPOSE: To improve high frequency characteristic of an InGaAs heterojunction bipolar element by sequentially superposing an InGaAs collector contact layer, an InP collector layer, a collector layer side end with an InGaAs base layer and InP emitter layer, an emitter contact layer on an InP substrate.

CONSTITUTION: A main collector zone for determining a collector depleted layer running time of electrons is formed of an InP 3i having high energy position of a satellite lever 9. The collector end of a base layer 4 and a collector contact layer are made of InGaAs, a voltage drop 11 generated at the layer 3i is merely small Eg of the InGaAs except an external collector bias, and the average electric field intensity of the layer 3i is alleviated. Even with the same voltage drop the electric field intensity is deviated to so control distribution as not to exceed the height of the lever. As a result, a collector zone in which electrons can run at a high speed without transition to the lever is extended to improve high frequency characteristic.



COPYRIGHT: (C)1990,JPO&Japio

⑪ 公開特許公報 (A) 平2-280338

⑥Int.Cl.⁵
H 01 L 21/331
29/205
29/73

識別記号 庁内整理番号

8526-5F

8526-5F H 01 L 29/72

審査請求 未請求 請求項の数 5 (全8頁)

⑤発明の名称 ヘテロ接合バイポーラトランジスタ

②特 願 平1-100106

③出 願 平1(1989)4月21日

⑦発明者 田中慎一 東京都港区芝5丁目33番1号 日本電気株式会社内
 ⑧出願人 日本電気株式会社 東京都港区芝5丁目7番1号
 ⑨代理人 弁理士 岩佐義幸

明細書

1. 発明の名称

ヘテロ接合バイポーラトランジスタ

2. 特許請求の範囲

(1) InP基板上に、InGaAsからなるコレクタ・コンタクト層、InPからなる半導体層を含むコレクタ層、少なくとも前記コレクタ層側の端がInGaAsであるベース層、エミッタ層、およびエミッタ・コンタクト層の主要な半導体層が順次形成されていることを特徴とするヘテロ接合バイポーラトランジスタ。

(2) 請求項1記載のヘテロ接合バイポーラトランジスタにおいて、

前記コレクタ層における厚みWcを有するInP層が、濃度N1の第1の導電型不純物を含む層および濃度N2の第2の導電型不純物を含む層からなり、濃度N1および濃度N2は、次式

$$\sqrt{\frac{2\epsilon}{q}} \left(\frac{N_1 + N_2}{N_1 \cdot N_2} \right) E_g > W_c$$

 ϵ : InP基板の誘電率

q : 電荷素量

Eg : InGaAsのエネルギー・バンドギャップ

を満たすことを特徴とするヘテロ接合バイポーラトランジスタ。

(3) 請求項1または請求項2記載のヘテロ接合バイポーラトランジスタにおいて、

ベース層がInGaAsからなることを特徴とするヘテロ接合バイポーラトランジスタ。

(4) 請求項1または請求項2記載のヘテロ接合バイポーラトランジスタにおいて、

コレクタ層が、ベース層側の端から順にInGaAs層とInP層とからなることを特徴とするヘテロ接合バイポーラトランジスタ。

(5) 請求項1または請求項2記載のヘテロ接合バイポーラトランジスタにおいて、

ベース層とコレクタ層におけるInP層とが、InGaAsからInPへ組成変化するGa_xIn_{1-x}As_yP_{1-y}組成傾斜層によりつながってい

ることを特徴とするヘテロ接合バイポーラトランジスタ。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明はヘテロ接合バイポーラトランジスタに関するものである。

〔従来の技術〕

ヘテロ接合バイポーラトランジスタ(HBT)は大きな電流駆動能力と優れた高周波特性を併せもつ次世代の超高速デバイスとして注目されている。ヘテロ接合バイポーラトランジスタの高周波特性を決める遅延時間は、寄生容量の充電時間と、少数キャリアのベース走行時間と、コレクタ空乏層走行時間との総和からなるが、各々の要素は遅延時間全体の約1/3程度の大きさになっている。

最近は素子加工技術の進歩により寄生容量や寄生抵抗の低減が進んでいる他、ベース層をより薄膜化するとともに不純物濃度を非常に大きくする結晶成長技術の進歩により、ベース抵抗を増やすことなくベース走行時間の短縮が可能になってい

る。従ってコレクタ空乏層走行時間が素子内の遅延時間の中で相対的に大きくなっている、その低減がヘテロ接合バイポーラトランジスタを高性能化する上で主要な課題になっている。

現在、超高速デバイスとして主として研究されているヘテロ接合バイポーラトランジスタはAlGaAs/GaAs系であるが、InPを基板とするヘテロ接合バイポーラトランジスタは、InPに格子整合する半導体のエネルギー・バンドギャップが光ファイバ通信用の光波長領域(1.3~1.55μm)をカバーすることから発光・受光素子と格子定数上の互換性を持っており、光通信IC(OEIC)への応用が期待されている。InPに格子整合する半導体の中で代表的なInGaAsは、GaAsと比較して電子輸送特性に優れていること、電極との接触抵抗が小さいことなどから、高周波特性に優れたヘテロ接合バイポーラトランジスタ用の半導体材料としても有望である。しかしAlGaAs/GaAs系ヘテロ接合バイポーラトランジスタの高周波特性を大幅に凌ぐ素

子の実現のためには、InGaAs系ヘテロ接合バイポーラトランジスタに適したコレクタ構造が必要である。

第8図はAlGaAs/GaAsヘテロ接合バイポーラトランジスタを例にとった従来のエネルギー・バンド構造を示す図である。この従来例においては、半絶縁性GaAs基板上に、n+-GaAs(Si不純物濃度: $5 \times 10^{18} \text{ cm}^{-3}$)からなる厚み500nmのコレクタ・コンタクト層2、n-GaAs層(Si不純物濃度: $5 \times 10^{16} \text{ cm}^{-3}$)からなる厚み500nmのコレクタ層3、p+-GaAs(Be不純物濃度: $3 \times 10^{19} \text{ cm}^{-3}$)からなる厚み100nmのベース層4、n-Al_{0.25}Ga_{0.75}As(Si不純物濃度: $3 \times 10^{17} \text{ cm}^{-3}$)からなる厚み200nmのエミッタ層5、n-Al_xGa_{1-x}As(Si不純物濃度: $5 \times 10^{18} \text{ cm}^{-3}$)からなる厚み50nmの組成傾斜層、n+-GaAs(Si不純物濃度: $5 \times 10^{18} \text{ cm}^{-3}$)からなる厚み100nmのエミッタ・コンタクト層が順次成長された構造になっている。

コレクタ層3に広がる約200nmのコレクタ空乏層3dには、外部コレクタ・バイアスを除いてもGaAsのエネルギー・バンドギャップの大きさ約1.4ボルトの電圧がかかるため、ベース層4を通過した電子13はコレクタ空乏層3dに入ると即強電界の影響を受け、大きい有効質量を有する伝導帯のサテライト・バー9へ遷移し、以後コレクタ空乏層3dの大部分の区間をサテライト・バー9の大きな有効質量で決まる遅い速度で走行する(図中13'の位置)。なお第8図において、8は伝導帯の底、10は価電子帯の上限、14b、14cはフェルミ準位をそれぞれ示している。この従来例のヘテロ接合バイポーラトランジスタにおいては、上記のバー間遷移に起因する長いコレクタ空乏層走行時間が素子の高周波特性を著しく制限している。

第9図はInPを基板とするヘテロ接合バイポーラトランジスタの従来例として、InP/InGaAs/InPダブル・ヘテロ接合バイポーラトランジスタのエネルギー・バンド構造を示す図

である。コレクタ層3に用いられているInPはサテライト・バレー9が0.74eVと高いエネルギー位置に存在するため、InGaAsからなるコレクタ層を用いる場合より有利である。ところがコレクタ空乏層に生じる電圧降下11は、InGaAsのエネルギー・バンドギャップEgの大きさ0.75eVとInGaAs/InPの伝導帯エネルギー不連続の大きさ ΔE_c 約0.4eVとの和で決まる1.15ボルトと大きいため、第8図の場合と同様コレクタ空乏層走行時間が短くならない。なお第9図において、14eはフェルミ単位を示している。

第10図はコレクタ層3にInGaAsを用いたヘテロ接合バイポーラトランジスタの従来例を示す図である。この場合コレクタ空乏層にかかる電圧降下11は0.75ボルトと小さいが、サテライト・バレー9のエネルギー高さ0.55eVがInPの0.74eVと比較して低く、やはりサテライト・バレー9への遷移のためコレクタ空乏層走行時間が短くならない。

この問題を解決するためにAlGaAs/Ga

As系ヘテロ接合バイポーラトランジスタについて提案されているコレクタ構造を第11図を用いて説明する。このヘテロ接合バイポーラトランジスタはコレクタ構造のみ上記構造と異なっており、n+-GaAs(Si不純物濃度： $5 \times 10^{18} \text{ cm}^{-3}$)からなる厚み500nmのコレクタ・コンタクト層2とi-GaAsからなる厚み200nmのコレクタ層3iとの間にp+-GaAs(Be不純物濃度： $2 \times 10^{18} \text{ cm}^{-3}$)の厚み20nmの極薄膜p型シート層3pを挟んだコレクタ構造になっている。膜厚が十分薄いため完全空乏化しているp型シート層3pに生じる負に帶電したベリリウム不純物イオン15は、電子のボテンシャルを局所的に引き上げる役目をはたしている。その結果、全コレクタ層にかかる電圧は、その大部分がp型シート層3pとn+-GaAsコレクタ・コンタクト層2の間にかかることになり、200nmのi-GaAsコレクタ層3iにかかる電界強度は大幅に緩和される。従ってコレクタ層に入った電子13は電界によってサテライト・バレー9へ遷移することなく、適度

な電界強度に駆動されながら高速度でコレクタ層3iを通過する。なお第11図において、12はサテライト・バレーの高さを示している。

以上に述べたように電子のコレクタ空乏層走行時間を決める要因は主としてコレクタ空乏層内電界強度と、半導体固有のサテライト・バレーのエネルギー高さとの二つで与えられる。ヘテロ接合バイポーラトランジスタの高周波特性を改善するためには前者はあまり強過ぎず適度な強度を持つことが必要で、後者は大きいほど良い。

[発明が解決しようとする課題]

上記のようなi-コレクタ層とn+-コレクタ・コンタクト層との間に極薄膜p型シート層3pを挿入するi-p+-n+構造は、両側において不純物が高濃度でドープされたpn接合をもつためコレクタ耐圧が低下することが懸念される。AlGaAs/GaAs系ヘテロ接合バイポーラトランジスタのように比較的エネルギー・バンドギャップの大きい半導体材料を用いる場合はそれほど深刻な問題はないが、例えば第10図のようにコレクタ層にエ

ネルギー・バンドギャップの小さなInGaAsを用いたヘテロ接合バイポーラトランジスタにおいては、前記のようなコレクタ構造の適用は困難である。

一方、第9図のようにコレクタ層にエネルギー・バンドギャップの比較的大きなInPを用いた場合は製造上の問題がある。すなわちInPは極薄膜結晶成長の制御性に優れたMBE法では結晶成長できず、またInPの成長に一般によく用いられる有機金属気相成長法(MOCVD法)では不純物を20nm程度という極薄膜の中に閉じ込めることはできず、従ってInPを用いたi-p+-n+構造は技術的な困難を伴う。

本発明の目的は、上記課題を解決し、InPを基板とするInGaAs系ヘテロ接合バイポーラトランジスタのコレクタ層走行時間を短縮するコレクタ層構造を提供することにある。

[課題を解決するための手段]

本発明のヘテロ接合バイポーラトランジスタはInP基板上に、InGaAsからなるコレクタ

・コンタクト層、InPからなる半導体層を含むコレクタ層、少なくとも前記コレクタ層側の端がInGaAsであるベース層、エミッタ層、およびエミッタ・コンタクト層の主要な半導体層が順次形成されていることを特徴とする。

本発明によれば、前記コレクタ層における厚みWcを有するInP層が、濃度N1の第1の導電型不純物を含む層および濃度N2の第2の導電型不純物を含む層からなり、濃度N1および濃度N2は、次式

$$\sqrt{\frac{2\epsilon}{q} \left(\frac{N_1 + N_2}{N_1 \cdot N_2} \right) E_g} > W_c$$

ϵ : InP基板の誘電率

q : 電荷素量

E_g : InGaAsのエネルギー・バンドギャップ

を満たすのが望ましい。

また、ベース層はInGaAsで構成することができる。

また、コレクタ層は、ベース層側の端から順に

することができる。

これらの結果、電子がサテライト・パレーへ遷移しないで高速走行できるコレクタ区間は、従来のInGaAs系ヘテロ接合バイポーラトランジスタの場合より大幅に延長され、素子の高周波特性が改善される。

(実施例)

以下本発明のヘテロ接合バイアストランジスタの実施例を説明する。

第1図において、半絶縁性InP基板1上に有機金属気相成長法(MOCVD法)によりInPに格子整合したn+-InGaAs(Si不純物濃度: $5 \times 10^{18} \text{ cm}^{-3}$)からなる厚み500nmのコレクタ・コンタクト層3i、p+-InGaAs(Be不純物濃度: $3 \times 10^{19} \text{ cm}^{-3}$)からなる厚み200nmのエミッタ層5、n-GaxIn1-xAsyPy(X: 0 → 1, Y: 1 → 0, Si不純物濃度: $5 \times 10^{18} \text{ cm}^{-3}$)からなる層50nmの組成傾斜層5g: n+-InGaAs(Si不純物濃度: $5 \times 10^{18} \text{ cm}^{-3}$)からなる厚み100nmのエミッタ・コ

InGaAs層とInP層とで構成することができる。

また、ベース層とコレクタ層におけるInP層とを、InGaAsからInPへ組成変化するGaxIn1-xAsyPy組成傾斜層によりつなぐようにしても良い。

[作用]

本発明のヘテロ接合バイポーラトランジスタにおいては、電子のコレクタ空乏層走行時間が決まる主要なコレクタ区間は、サテライト・パレーのエネルギー位置の高いInPからなっている。またベース層のコレクタ端とコレクタ・コンタクト層がInGaAsであるため、コレクタ層に生じる電圧降下は外部コレクタ・バイアスを除くとInGaAsの小さなエネルギー・バンドギャップの大きさに過ぎず、従ってコレクタ層における平均電界強度が緩和される。また同じコレクタ層の電圧降下でも電界強度を偏在させることにより、電子エネルギーがサテライト・パレーの高さよりも大きくならないよう電子エネルギー分布を制御

シタクト層6が順次成長された構造になっている。

なお第1図において、7cはコレクタ電極、7bはベース電極、7eはエミッタ電極、16は表面保護膜である。

第2図は第1図のヘテロ接合バイポーラトランジスタの主要部のエネルギー・バンド構造を示す図である。図においてベース層4とコレクタ・コンタクト層2とはInGaAsからなるためコレクタ層3iにおける電圧降下11は外部バイアスを除いて高々InGaAsの小さなエネルギー・ギャップEgの大きさ0.75eVにすぎない。従ってコレクタ層3iにおける電界強度が抑えられ、さらにコレクタ層3iをなすInPのサテライト・パレー9のエネルギー位置が高いことから電子13がパレー遷移をしないで高速走行できるコレクタ区間は従来のInGaAs系ヘテロ接合バイポーラトランジスタの場合より大幅に延長される。

なお第2図において、8は伝導帯の底、10は価電子帯の上限、14b, 14cはフェルミ準位を示している。

第3図は他の実施例であるヘテロ接合バイポーラトランジスタの主要部のエネルギー・バンド構造を示す。第3図においては、第2図における $p^{+}-InGaAs$ からなるベース層4と $i-InP$ からなるコレクタ層3iの間に $n-InGaAs$ (Si不純物濃度： $5 \times 10^{17} cm^{-3}$)からなる厚み50nmの第2のコレクタ層3nを設けている。これにより電子13がベース層4を走行中に光学フォノン散乱などによりある程度の運動エネルギーを失っても、コレクタ層3iへ電子が到達できる割合を増やすことができる。

第4図はさらに他の実施例であるヘテロ接合バイポーラトランジスタの主要部のエネルギー・バンド構造を示す。第4図においては、第2図における $p^{+}-InGaAs$ からなるベース層4と $i-InP$ からなるコレクタ層3iとの間に $i-GaxIn_{1-x}As_yP_{1-y}$ (X：1→0, Y：0→1)からなる厚み50nmの組成傾斜コレクタ層3gを設けており、第2図におけるベース層4とコレクタ層3iとの間に生じる伝導帯の不連続を消去

第5図、第6図いずれの場合でも、これらの不純物濃度が低いためベース・コレクタ間にバイアスがかからない状態でも InP 層は空乏化しており、イオン化不純物の空間電荷により電界分布の偏りが生じる。なお図中、8i, 10iは不純物がドープされていない場合のエネルギー・バンド構造を表す。

第2図、第5図および第6図において示したヘテロ接合バイポーラトランジスタのコレクタ層内の電界分布の様子を第7図に示す。第7図において16, 17, 18は、各々第2図、第5図、第6図の InP コレクタ層内の電界分布を表しており、 W_c はコレクタ層の厚みを示している。

第2図のヘテロ接合バイポーラトランジスタの場合、不純物がドープされていないコレクタ層内の電界分布16は全区間を通じて一定である。

第5図のヘテロ接合バイポーラトランジスタの場合、コレクタ層内の電界分布は中央に偏在しており、端では電界は弱くなっている。この場合コレクタ層前半から中央にかける電界加速によりホ

している。これにより電子13がベース層4を走行中に失う運動エネルギーが大きくても、電子はコレクタ層3iへ到達することができる。

次に、コレクタ層の InP を低濃度の不純物でドープしたヘテロ接合バイポーラトランジスタの実施例について説明する。

第5図は、一例であるヘテロ接合バイポーラトランジスタのエネルギー・バンド構造を示す。第5図においては、厚み200nmの InP コレクタ層の内、ベース側100nmの区間3πは p 型不純物であるベリリウムが、コレクタ・コンタクト側100nmの区間3νは n 型不純物であるシリコンが各々 $3 \times 10^{14} cm^{-3}$ ドープされている。

また第6図は、他の例であるヘテロ接合バイポーラトランジスタのエネルギー・バンド構造を示す。第6図においては、逆にベース側100nmの区間3νは n 型不純物であるシリコンが、コレクタ・コンタクト側100nmの区間3πは p 型不純物であるベリリウムが各々 $3 \times 10^{14} cm^{-3}$ ドープされている。

トエレクトロン化した電子はサテライト・パレーへ遷移しやすい状態になっているため、コレクタ層後半の電界を抑えてサテライト・パレーへの遷移を防いでいる。

第6図のヘテロ接合バイポーラトランジスタの場合、コレクタ層内の電界分布はコレクタ層の端に偏在しており、逆に中央では電界はほとんどなくなっている。この場合コレクタ層のベース端に偏在している電界で電子をある程度加速し初期エネルギーを与えておいて、コレクタ層の中央では電界を抑えることにより電子の高速走行を維持させている。最後は電界強度が再度強くなるが、コレクタ層のほとんどの区間を高速走行するためコレクタ層走行時間全体に与える影響は小さい。

以上の各実施例においては、ベース構造として均一なエネルギー・バンドギャップをもつ $InGaAs$ を用いたが、例えば $InAl_{1-x}Ga_xAs$ を用いた傾斜エネルギー・バンドギャップ構造をもつものでよい。結晶は格子整合系に限らず、ベース層をなす $InGaAs$ の組成を格子整合条件

件からずらした歪ベースを有するヘテロ接合バイポーラトランジスタにも本発明は適用できる。

〔発明の効果〕

本発明によりInPを基板としたInGaAs系ヘテロ接合バイポーラトランジスタのコレクタ空乏層走行時間を大幅に短縮することができる。

4. 図面の簡単な説明

第1図は本発明のヘテロ接合バイポーラトランジスタの一実施例を示す構造断面図。

第2図は第1図のヘテロ接合バイポーラトランジスタ主要部のエネルギー・バンド構造を示す図。

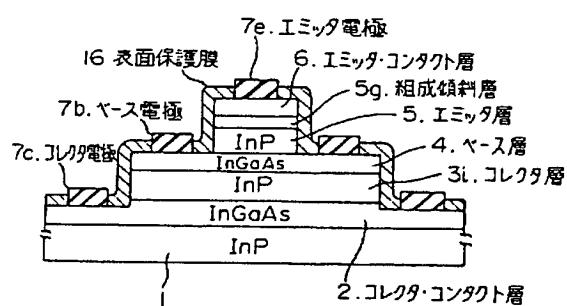
第3図～第6図はそれぞれ他の実施例であるヘテロ接合バイポーラトランジスタ主要部のエネルギー・バンド構造を示す図。

第7図は本発明のヘテロ接合バイポーラトランジスタにおけるコレクタ空乏層内の電界分布を示す図。

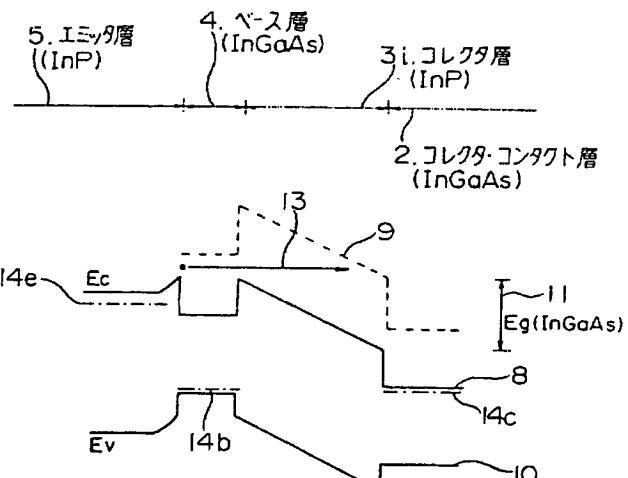
第8図～第11図は従来のヘテロ接合バイポーラトランジスタ主要部のエネルギー・バンド構造を示す図である。

- 1 半絶縁性基板
- 2 コレクタ・コンタクト層
- 3, 3i . . . コレクタ層
- 4 ベース層
- 5 エミッタ層
- 6 エミッタ・コンタクト層
- 7e, 7b, 7c . . . 電極
- 8 伝導帶の底
- 9 伝導帶のサテライト・バレー
- 10 疎電子帯の上限
- 12 サテライト・バレーの高さ
- 13 バレー遷移しないで走行する電子
- 13' バレー遷移した後走行する電子
- 14a, 14b, 14c . . . フェルミ単位
- 15 イオン化したベリリウム不純物
- 16 表面保護膜

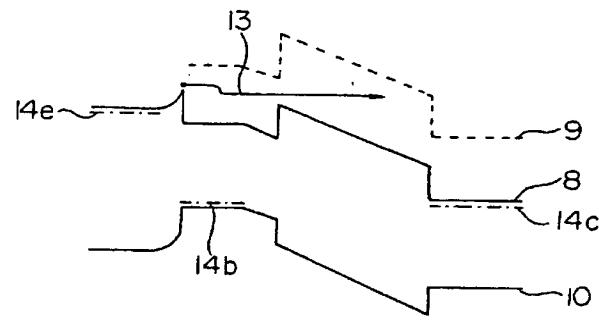
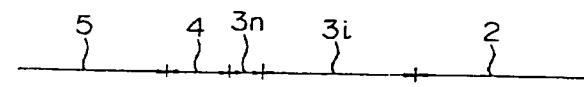
代理人 弁理士 岩 佐 義 幸



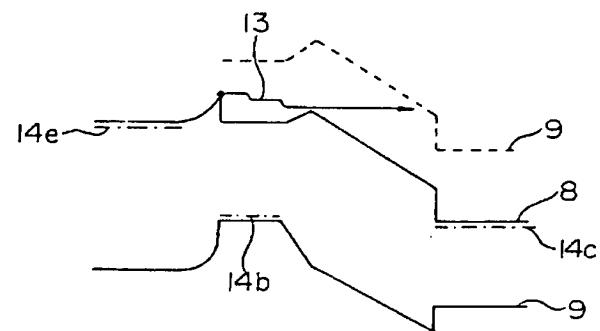
第1図



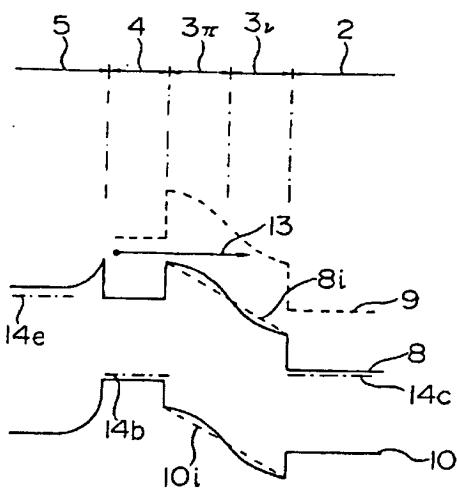
第2図



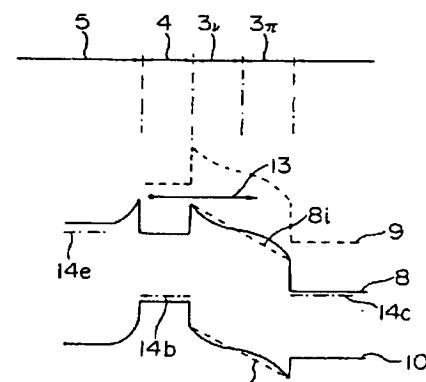
第 3 図



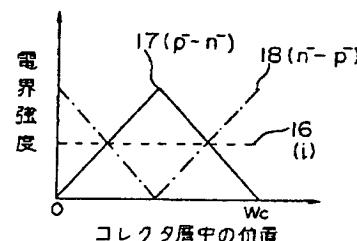
第 4 図



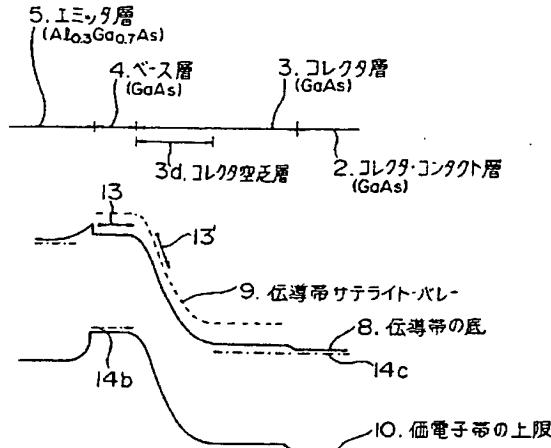
第 5 図



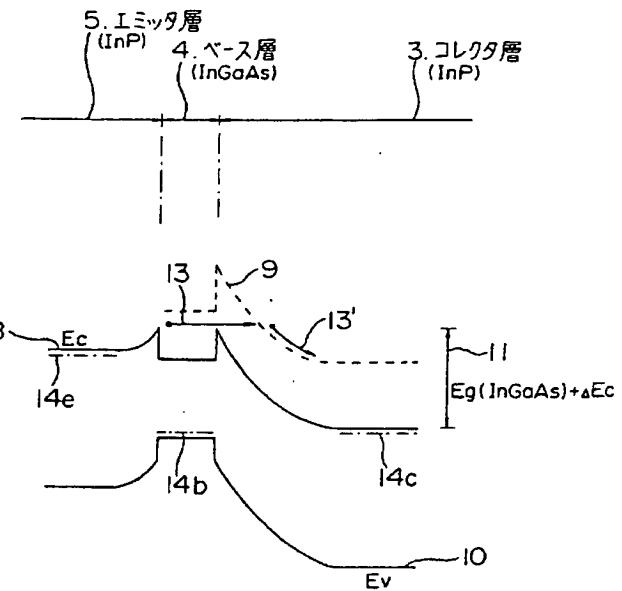
第 6 図



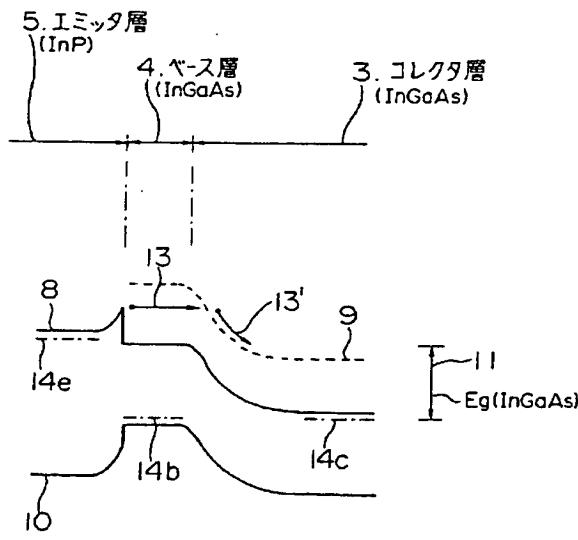
第 7 図



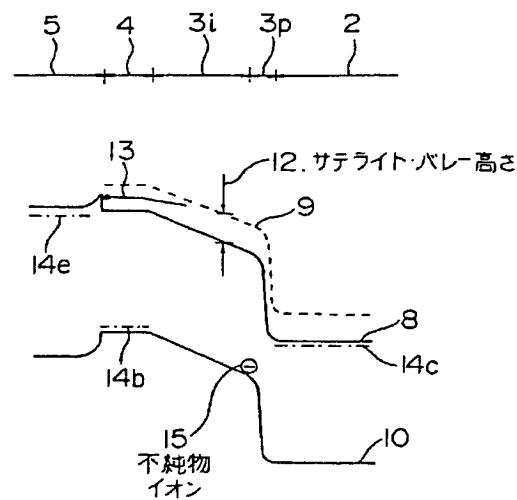
第8図



第9図



第10図



第11図